

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-219461

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H O 4 N · 5/66

1 0 2 B 9068-5 C

G O 9 G . 3/20

Z 8621-5 G

3/36

7319-5G

審査請求 未請求 請求項の数 4 (全 11 頁)

(21)出願番号 特願平4-47669

(22)出願日 平成4年(1992)2月4日

(71)出願人：000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(71)出願人 000233136

株式会社日立画像情報システム

神奈川県横浜市戸塚区吉田町292番地

(72) 發明者 吹上 賢一

神奈川県横浜市戸塚区吉田町292番地 株
 式会社日立画像情報システム内

(72) 發明者 甲 展明

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所映像メディア研究所内

(74)代理人 弁理士 並木 昭夫

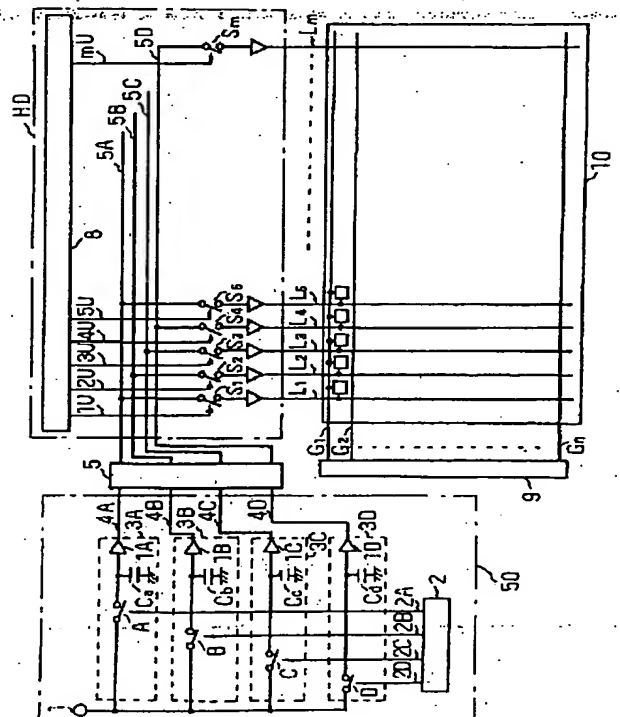
[最終頁に続く](#)

(54)【発明の名称】 データ側駆動回路

(57) 【要約】:

【目的】 回路規模を大きくすることなく、水平ドライバの駆動周波数を低減する機能及びアパーチャ補償機能を有したデータ側駆動回路を提供する。

【構成】 プリサンプリング回路50は、クロック2A～2Dの“H”の期間に、サンプルホールド回路3A～3D内のアナログスイッチA～Dをオンさせることにより、入力端子1からのビデオ信号をサンプリングし、ホールド容量Ca～Cdにホールドした後、サンプリング出力信号4A～4Dとして出力する。係数加算回路5は、4系統の演算処理回路に分かれており、それぞれ、時間的に互いに隣接する2つのサンプリング出力信号を入力して、所定の係数を乗算すると共に信号同士を加算し、出力信号5A～5Dとして水平ドライブHDへ出力する。



BEST AVAILABLE COPY

(2)

【特許請求の範囲】

【請求項1】 入力されたビデオ信号をそれぞれ順次サンプリングして、所定の期間ホールドし出力する複数のサンプルホールド回路を備えたプリサンプリング回路と、該プリサンプリング回路における各々のサンプルホールド回路から出力された出力信号をそれぞれ少なくとも2つ以上入力し、所定の係数を乗算すると共に信号同士を加算して出力する複数の演算処理回路を備えた係数加算回路と、該係数加算回路における各々の演算処理回路から出力された出力信号を、マトリクス形表示装置の各データ線に順次供給して、各データ線を駆動する水平ドライバと、で構成され、前記水平ドライバの駆動周波数を低減し得ると共に、アパーチャ補償を行ない得ることを特徴とするデータ側駆動回路。

【請求項2】 入力されたビデオ信号をそれぞれ順次サンプリングして、所定の期間ホールドし出力する複数のサンプルホールド回路を備えた第1のプリサンプリング回路と、該第1のプリサンプリング回路における各々のサンプルホールド回路から出力された出力信号をそれぞれ少なくとも2つ以上入力し、所定の係数を乗算すると共に信号同士を加算して出力する複数の演算処理回路を備えた係数加算回路と、該係数加算回路における各々の演算処理回路から出力された出力信号を、それぞれ順次サンプリングして、所定の期間ホールドし出力する複数のサンプルホールド回路を備えた第2のプリサンプリング回路と、該第2のプリサンプリング回路における各々のサンプルホールド回路から出力された出力信号を、マトリクス形表示装置の各データ線に順次供給して、各データ線を駆動する水平ドライバと、で構成され、前記水平ドライバの駆動周波数を低減し得ると共に、アパーチャ補償を行ない得ることを特徴とするデータ側駆動回路。

【請求項3】 ビデオ信号をそれぞれ入力し、かつ、第1の出力信号をそれぞれ少なくとも1つ以上入力し、所定の係数を乗算すると共に信号同士を加算して出力する複数の演算処理回路、及び、各演算処理回路とそれぞれ一対一に対応し、対応する演算処理回路から出力された出力信号をそれぞれ順次サンプリングして前記第1の出力信号として出力すると共に、所定の期間ホールドし第2の出力信号として出力する複数のサンプルホールド回路を備えたプリサンプリング回路と、該プリサンプリング回路における各々のサンプルホールド回路から出力された前記第2の出力信号をそれぞれ少なくとも2つ以上入力し、所定の係数を乗算すると共に信号同士を加算して出力する複数の演算処理回路を備えた係数加算回路と、該係数加算回路における各々の演算処理回路から出力された出力信号を、マトリクス形表示装置の各データ線に順次供給して、各データ線を駆動する水平ドライバと、で構成され、前記水平ドライバの駆動周波数を低減し得ると共に、アパーチャ補償を行ない得ることを

2

特徴とするデータ側駆動回路。

【請求項4】 入力されたアナログのビデオ信号をディジタルのビデオ信号に変換して出力するアナログ/ディジタル変換器と、該アナログ/ディジタル変換器から出力されたビデオ信号をそれぞれ順次ラッチして出力する複数のラッチ手段を備えた第1のラッチ回路と、該第1のラッチ回路における各々のラッチ手段から出力された出力信号をそれぞれ少なくとも2つ以上入力し、所定の係数を乗算すると共に信号同士を加算して出力する複数の演算処理回路を備えた係数加算回路と、該係数加算回路における各々の演算処理回路から出力された出力信号を、それぞれ順次ラッチして出力する複数のラッチ手段を備えた第2のラッチ回路と、該第2のラッチ回路における各々のラッチ手段から出力されたディジタルの信号をそれぞれアナログの信号に変換して出力する複数のディジタル/アナログ変換器と、各々のディジタル/アナログ変換器から出力された出力信号を、マトリクス形表示装置の各データ線に順次供給して、各データ線を駆動する水平ドライバと、で構成され、前記水平ドライバの駆動周波数を低減し得ると共に、アパーチャ補償を行ない得ることを特徴とするデータ側駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、マトリクス形表示装置のデータ線にビデオ信号を与えるデータ側駆動回路に関し、特に、水平ドライバの駆動周波数を低減する機能とアパーチャ補償機能を有するデータ側駆動回路に関するものである。

【0002】

【従来の技術】従来のデータ側駆動回路としては、例えば、特開昭59-29295号公報に記載されているように、複数のサンプルホールド回路で構成されたプリサンプリング回路と呼ばれる回路によって、入力されるビデオ信号に直並列変換処理を施して水平ドライバに導くことにより、水平ドライバの駆動周波数を低減するものがあつた。以下、このデータ側駆動回路の構成及び動作について、図13及び図14を用いて説明する。

【0003】図13は従来のデータ側駆動回路を示す回路図であり、図14は図13の要部信号の波形を示す波形図である。図13では、マトリクス形表示装置として、アクティブマトリクス形表示装置であるアクティブマトリクス形液晶表示装置を用いている。

【0004】図13において、10はアクティブマトリクス形液晶表示装置であり、ゲート線 G_1, \dots, G_n とデータ線 L_1, \dots, L_m （片側引出し）を有している。また、9はゲート側駆動回路である。また、50は直並列変換処理を施すプリサンプリング回路であり、アナログスイッチA～Dとホールド容量 $C_a \sim C_d$ とバッファアンプ1A～1Dから成る4個のサンプルホールド回路3A～3Dと、アナログスイッチA～Dを制御する4相ク

(3)

3

ロック発生回路2と、で構成されている。また、HDは水平ドライバであり、アナログスイッチ S_1, \dots, S_m と、アナログスイッチ S_1, \dots, S_m の開閉を制御するシフトレジスタ8と、で構成されている。なお、プリサンプリング回路50と水平ドライバHDとでデータ側駆動回路を構成している。

【0005】図14において、2A~2Dはそれぞれ4相クロック発生回路2からのクロックを示しており、また、1U~5Uはそれぞれシフトレジスタ8からの順次選択パルスを示しており、これら信号が“H”のときアナログスイッチがオンし、“L”のときオフとなる。

【0006】入力端子1から入力されたアナログのビデオ信号は、図14に示す時刻 t_1 から t_2 のクロック2Aの“H”の期間に、サンプルホールド回路3A内のアナログスイッチAがオンすることにより、サンプリングされ、ホールド容量Caにホールドされた後、バッファアンプ1Aを介して、サンプリング出力信号4Aとして出力される。そして、そのサンプリング出力信号4Aは、図14に示す時刻 t_1 から t_4 の順次選択パルス1Uの“H”の期間のみに、アナログスイッチ S_1 がオンすることにより、データ線 L_1 に供給され、データ線 L_1 を駆動する。その後、時刻 t_4 において順次選択パルス1Uが“L”となって、アナログスイッチ S_1 はオフとなり、データ線 L_1 の駆動は終了する。

【0007】すなわち、プリサンプリング回路50を用いることにより、時刻 t_1 から t_2 の期間に入ってきたビデオ信号を、時刻 t_1 から t_4 の期間（すなわち、4画素分の期間）、保持することができるため、アナログスイッチ S_1 のオン期間 T_{\max} を4画素分の期間とすることができる。従って、アナログスイッチ S_1 のオン期間 T_{\max} を、プリサンプリング回路50を用いない場合に比べ、4倍長くとることができるので、水平ドライバHDの駆動周波数を4分の1に低減することができる。以上のような動作の繰り返しによって、全データ線 L_1, \dots, L_m を駆動している。

【0008】ところで、一方、従来のアパーチャ補償回路としては、次のようなものがある。以下、図15、図16を用いて説明する。図15は従来のアパーチャ補償回路を示すブロック図であり、図16は図15の要部信号の波形を示す波形図である。

【0009】図15において、入力端子から入力されたビデオ信号36は、第1の信号遅延回路37へ入力され、その遅延出力信号38は第2の信号遅延回路39へ供給される。第2の遅延回路39の遅延出力信号40は、加算器41により、入力されたビデオ信号36と加算され、信号42が得られる。信号42は、係数器43により、例えば、振幅を半減され、係数器43の出力44は、加算器45により第1の遅延回路37の遅延出力信号38と加算され、その後、ローパスフィルタ46によりノイズなどの高周波成分が除去され、輪郭成分信号

4

47が得られる。輪郭成分信号47は、加算器48により第1の遅延回路37の遅延出力信号38と加算され、輪郭成分を伴ったビデオ信号49が得られる。このようなアパーチャ補償回路は、例えば、特開平2-182083号公報において述べられている。

【0010】

【発明が解決しようとする課題】ところで、水平ドライバの駆動周波数を低減する機能を有した（すなわち、プリサンプリング回路を具備した）従来のデータ側駆動回路に、アパーチャ補償機能を付加するためには、上記したアパーチャ補償回路を別個に設けなければならず、回路規模が大きくなるという問題があった。そこで、本発明の目的は、回路規模を大きくすることなく、水平ドライバの駆動周波数を低減する機能及びアパーチャ補償機能を有したデータ側駆動回路を提供することにある。

【0011】

【課題を解決するための手段】上記した目的を達成するために、本発明では、入力されたビデオ信号をそれぞれ順次サンプリングして、所定の期間ホールドし出力する複数のサンプルホールド回路を備えたプリサンプリング回路と、該プリサンプリング回路における各々のサンプルホールド回路から出力された出力信号をそれぞれ少なくとも2つ以上入力し、所定の係数を乗算すると共に信号同士を加算して出力する複数の演算処理回路を備えた係数加算回路と、該係数加算回路における各々の演算処理回路から出力された出力信号を、マトリクス形表示装置の各データ線に順次供給して、各データ線を駆動する水平ドライバと、でデータ側駆動回路を構成するようにした。

【0012】

【作用】上記構成によれば、所定の時間ずれて1画素分を持った複数のサンプルホールド回路からの出力信号を係数加算回路によって係数加算し、アパーチャ補償された信号を形成し、水平ドライバに与えることによりアパーチャ補償機能を兼ね備えたデータ側駆動回路を実現することができる。

【0013】

【実施例】以下、実施例に基づいて本発明を詳細に説明する。なお、以下の各実施例においては、入力されるビデオ信号の波形として、いわゆるウィンドパターン信号を用いた場合を例にとり説明する。図1は本発明の第1の実施例としてのデータ側駆動回路を示す回路図である。

【0014】図1において、10はアクティブマトリクス形液晶表示装置であり、ゲート線 G_1, \dots, G_n とデータ線 L_1, \dots, L_m （片側引出し）を有している。また、9はゲート側駆動回路である。また、50は直並列変換処理を施すプリサンプリング回路であり、アナログスイッチA~Dとホールド容量Ca~Cdとバッファアンプ1A~1Dから成る4個のサンプルホールド回路3A~

(4)

5

3Dと、アナログスイッチA～Dを制御する4相クロック発生回路2と、で構成されている。また、5は係数加算回路である。また、HDは水平ドライバであり、アナログスイッチ S_1, \dots, S_m と、アナログスイッチ S_1, \dots, S_m の開閉を制御するシフトレジスタ8と、で構成されている。なお、プリサンプリング回路50と係数加算回路5と水平ドライバHDとでデータ側駆動回路を構成している。

【0015】図2は図1におけるアクティブマトリクス型液晶表示装置10の画素部分の等価回路を示す回路図である。図2において、LCは液晶、TrはMOSトランジスタ、 G_1 はゲート線、 L_1 はデータ線である。

【0016】また、図3は図1における係数加算回路5の一具体例を示すブロック図である。図3において、13、14、15、16は演算処理回路であり、それぞれ、加算器11と係数器12から構成されている。図3に示す係数加算回路5は、画像変化信号の変化の直前を強調する輪郭成分（いわゆるプリシュート）の補正効果を実現する回路である。

【0017】図4は図3の係数加算回路5を用いた場合における図1の要部信号の波形を示す波形図である。次に、本実施例の動作を説明する。

【0018】図4において、2A～2Dはそれぞれ4相クロック発生回路2からのクロックを示しており、これらクロックが“H”のときアナログスイッチA～Dがオンとなり、“L”のときはオフとなる。

【0019】入力端子1から入力されたビデオ信号は、図4に示す時刻 t_1 から t_2 のクロック2Aの“H”の期間に、サンプルホールド回路3A内のアナログスイッチAがオンすることにより、サンプリングされ、ホールド容量 C_a にホールドされた後、バッファアンプ1Aを介して、サンプリング出力信号4Aとして係数加算回路5へ出力される。同様に、クロック2B、2C、2Dの“H”の期間に、サンプルホールド回路3B、3C、3D内のアナログスイッチB、C、Dがオンすることにより、サンプリングされ、ホールド容量 C_b 、 C_c 、 C_d にホールドされた後、バッファアンプ1B、1C、1Dを介して、サンプリング出力信号4B、4C、4Dとして係数加算回路5へ出力される。

【0020】一方、図3に示すように、係数加算回路5は、4系統の演算処理回路13、14、15、16に分かれており、それぞれ、時間的に互いに隣接する2つのサンプリング出力信号を入力としている。すなわち、それぞれの入力信号は（4A、4B）、（4B、4C）、（4C、4D）、（4D、4A）の組合せとなっている。

【0021】ここで、係数加算回路5内の演算処理回路13を例にとると、サンプリング出力信号4Bは係数器12に供給され、係数器12で $(-1/K)$ 倍された後、加算器11によりサンプリング出力信号4Aと加算

6

され、出力信号5Aを得る。同様に、演算処理回路14、15、16において、それぞれ、出力信号5B、5C、5Dが得られる。

【0022】その後、係数加算回路5内の演算処理回路13により形成された出力信号5Aは、シフトレジスタ8からの順次選択パルス1Uの“H”の期間のみに、アナログスイッチ S_1 がオンすることにより、データ線 L_1 に供給され、データ線 L_1 を駆動する。

【0023】同様に、演算処理回路14、15、16により形成された出力信号5B、5C、5Dも、シフトレジスタ8からの順次選択パルス2U、3U、4Uの“H”の期間のみに、アナログスイッチ S_2 、 S_3 、 S_4 がオンすることにより、データ線 L_2 、 L_3 、 L_4 に供給され、データ線 L_2 、 L_3 、 L_4 を駆動する。

【0024】上記で示した動作の繰り返しによって、出力信号5Aはデータ線 L_1 、 L_5 、 L_9 、…に、出力信号5Bはデータ線 L_2 、 L_6 、 L_{10} 、…に、出力信号5Cはデータ線 L_3 、 L_7 、 L_{11} 、…に、出力信号5Dはデータ線 L_4 、 L_8 、 L_{12} 、…、 L_m に、それぞれ供給され、各データ線を駆動する。

【0025】ここで、出力信号5Dに着目すると、時刻 t_1 から t_4 の期間中に電圧が下がり、画像変化信号の変化の直前を強調するプリシュートの電圧波形が生ずる。しかし、このプリシュートは、図4に示すように3画素分の期間だけしか保持されていないので、アナログスイッチ S_1, \dots, S_m のオン期間 T_{max} は、図14に示したように従来の4画素分の期間から、図4に示すように3画素分の期間に短縮されることになる。

【0026】以上のように、本実施例によれば、図3に示す係数加算回路5を用いた場合、4個のサンプルホールド回路3A～3Dからのサンプリング出力信号4A～4Dを有効に用いることにより、出力信号5Dに示したプリシュートのみの補正効果を、アクティブマトリクス型液晶表示装置10の画面上に発生させることができる。

【0027】また、図5は図1における係数加算回路5の他の具体例を示すブロック図である。図5に示す係数加算回路5は、画像変化信号の変化の直後を強調する輪郭成分（いわゆるポストシュート）の補正効果を実現する回路である。

【0028】図6は図5の係数加算回路5を用いた場合における図1の要部信号の波形を示す波形図である。次に、動作を説明する。

【0029】図5の係数加算回路5において、図3の構成と異なる点は、係数加算回路5内の4系統の演算処理回路13、14、15、16が、それぞれ、互いに3画素分の位相差を持った2つのサンプリング出力信号を入力としている点である。すなわち、それぞれの入力信号は（4A、4D）、（4B、4A）、（4C、4B）、（4D、4C）の組合せとなっている。

【0030】ここで、係数加算回路5内の演算処理回路

(5)

7

13を例にとると、サンプリング出力信号4Dは係数器12に供給され、係数器12で $(-1/K)$ 倍された後、加算器11によりサンプリング出力信号4Aと加算され、出力信号5Aを得る。同様に、演算処理回路14、15、16において、それぞれ、出力信号5B、5C、5Dが得られる。

【0031】その後、係数加算回路5内の演算処理回路13、14、15、16により形成された出力信号5A、5B、5C、5Dは、シフトレジスタ8からの順次選択パルス1U、2U、3U、4Uの“H”の期間のみに、アナログスイッチ S_1 がオンすることにより、データ線 L_1 、 L_2 、 L_3 、 L_4 に供給され、データ線 L_1 、 L_2 、 L_3 、 L_4 を駆動する。

【0032】上記で示した動作の繰り返しによって、出力信号5Aはデータ線 L_1 、 L_5 、 L_9 、…に、出力信号5Bはデータ線 L_2 、 L_6 、 L_{10} 、…に、出力信号5Cはデータ線 L_3 、 L_7 、 L_{11} 、…に、出力信号5Dはデータ線 L_4 、 L_8 、 L_{12} 、…、 L_m に、それぞれ供給され、各データ線を駆動する。

【0033】ここで、出力信号5Aに着目すると、特定の期間中に電圧が上がり、画像変化信号の変化の直後を強調するポストシュートの電圧波形が生ずる。しかし、このポストシュートは、図6に示すように3画素分の期間だけしか保持されていないので、アナログスイッチ S_1 、…、 S_m のオン期間 T_{max} は、図4に示したと同様、従来の4画素分の期間から3画素分の期間に短縮されることになる。

【0034】以上のように、本実施例によれば、図5に示す係数加算回路5を用いた場合、4個のサンプルホールド回路3A～3Dからのサンプル出力信号4A～4Dを有効に用いることにより、出力信号5Aに示したポストシュートのみの補正効果を、アクティブマトリクス型液晶表示装置10の画面上に発生させることができる。

【0035】従って、本実施例によれば、図3または図5に示す係数加算回路5を用いることにより、プリシュート、ポストシュートの一方のみの補正効果を発生させることができ、さらに、データ出力用のアナログスイッチ S_1 、…、 S_m の実効的なオン期間 T_{max} を最大3画素分の期間までとることができる。

【0036】また、図7は図1における係数加算回路5の別の具体例を示すブロック図である。図7に示す係数加算回路5は、画像変化信号の変化の前後を強調する輪郭成分(プリシュート及びポストシュート)の補正効果を実現する回路である。図7において、17、19は加算器、18は係数器である。

【0037】図8は図7の係数加算回路5を用いた場合における図1の要部信号の波形を示す波形図である。次に、動作を説明する。

【0038】図7の係数加算回路5において、図3の構成と異なる点は、係数加算回路5内の4系統の演算処理

8

回路13、14、15、16が、それぞれ、3つのサンプリング出力信号を入力としている点である。すなわち、それぞれの入力信号は(4A、4B、4C)、(4B、4C、4D)、(4C、4D、4A)、(4D、4A、4B)の組合せとなっている。

【0039】ここで、係数加算回路5内の演算処理回路13を例にとると、サンプリング出力信号4Aと4Cは加算器17により加算され、この加算器17の出力信号は係数器18により $(-1/K)$ 倍された後、加算器19によりサンプリング出力信号4Bと加算され、出力信号5Aを得る。同様に、演算処理回路14、15、16において、それぞれ、出力信号5B、5C、5Dが得られる。

【0040】その後、係数加算回路5内の演算処理回路13、14、15、16により形成された出力信号5A、5B、5C、5Dは、シフトレジスタ8からの順次選択パルス1U、2U、3U、4Uの“H”の期間のみに、アナログスイッチ S_1 がオンすることにより、データ線 L_1 、 L_2 、 L_3 、 L_4 に供給され、データ線 L_1 、 L_2 、 L_3 、 L_4 を駆動する。

【0041】上記で示した動作の繰り返しによって、出力信号5Aはデータ線 L_1 、 L_5 、 L_9 、…に、出力信号5Bはデータ線 L_2 、 L_6 、 L_{10} 、…に、出力信号5Cはデータ線 L_3 、 L_7 、 L_{11} 、…に、出力信号5Dはデータ線 L_4 、 L_8 、 L_{12} 、…、 L_m に、それぞれ供給され、各データ線を駆動する。

【0042】ここで、出力信号5Cに着目すると、特定の期間中に電圧が下がり、画像変化信号の変化の直前を強調するプリシュートの電圧波形が生ずる。また、出力信号5Dに着目すると、特定の期間中に電圧が上がり、画像変化信号の変化の直後を強調するポストシュートの電圧波形が生ずる。しかし、このプリシュート、ポストシュートは、図8に示すように2画素分の期間だけしか保持されていないので、アナログスイッチ S_1 、…、 S_m のオン期間 T_{max} は、従来の4画素分の期間から2画素分の期間に短縮されることになる。

【0043】以上のように、本実施例によれば、図7に示す係数加算回路5を用いた場合、4個のサンプルホールド回路3A～3Dからのサンプル出力信号4A～4Dを有効に用いることにより、出力信号5C、5Dに示したプリシュート、ポストシュートの補正効果を、アクティブマトリクス型液晶表示装置10の画面上に発生させることができる。

【0044】従って、本実施例によれば、図7に示す係数加算回路5を用いることにより、データ出力用のアナログスイッチ S_1 、…、 S_m の実効的なオン期間 T_{max} は最大2画素分となり、図3または図5の具体例よりも劣ることになるが、オーバーチャージ補償の観点からみれば、プリシュート、ポストシュートの両方の補正効果を画面上に発生させることができ、水平ドライブHDの動作速度

(6)

9

さえ確保されていれば、画質的にさらにメリハリの効いた画像を得ることができる。

【0045】次に、図9は本発明の第2の実施例としてのデータ側駆動回路を示す回路図である。本実施例では、プリシュート、ポストシュートの両方の補正効果を画面上に発生させることができ、さらに、データ出力用のアナログスイッチ S_1, \dots, S_m の実効的なオン期間 T_{\max} を最大4画素分に延長することができる。

【0046】本実施例が、図1に示した実施例と異なる点は、係数加算回路5と水平ドライバHDとの間に、もう一つプリサンプリング回路51を追加している点である。なお、係数加算回路5には、図7に示した係数加算回路5を用いている。

【0047】図9において、51はプリサンプリング回路であり、アナログスイッチE～Hとホールド容量 $C_e \sim C_h$ とバッファアンプ1E～1Hから成る4個のサンプルホールド回路と、アナログスイッチE～Hの開閉を制御する4相クロック発生回路20と、で構成されている。

【0048】図10は図9の要部信号の波形を示す波形図である。次に、動作を説明する。4相クロック発生回路20からのクロック2E～2Hのタイミングに対して、プリサンプリング回路50からの出力信号4A～4Dのタイミングが、図10に示す如くになっているとする。係数加算回路5内の各演算処理回路13～16から出力される出力信号5A～5Dの波形は、図10に示すように、図8と同様である。

【0049】ここで、出力信号5Cに着目すると、図10に示す時刻 t_1 から t_2 のクロック2Gの“H”の期間に、サンプルホールド回路6C内のアナログスイッチGがオンすることにより、プリシュート成分P3がサンプリングされ、ホールド容量 C_g にホールドされた後、バッファアンプ1Gを介して、そのレベルを時刻 t_1 から t_3 の期間だけ保持するサンプリング出力信号7Cとして水平ドライバHDへ出力される。

【0050】他の出力信号5A、5B、5Dについても同様に、クロック2E、2F、2Hの“H”の期間に、サンプルホールド回路6A、6B、6D内のアナログスイッチE、F、Hがオンすることにより、それぞれの信号成分P1、P2、P4がサンプリングされ、ホールド容量 C_e 、 C_f 、 C_h にホールドされた後、バッファアンプ1E、1F、1Hを介して、それぞれのレベルを保持するサンプリング出力信号7A、7B、7Dとして水平ドライバHDへ出力される。

【0051】その後、水平ドライバHD入力された各サンプリング出力信号7A～7Dは、アナログスイッチ S_1, \dots, S_m の開閉を制御するシフトレジスタ8からの順次選択パルス1U～4Uの“H”の期間のみに、アナログスイッチ S_1, S_2, S_3, S_4 がオンすることにより、データ線 L_1, L_2, L_3, L_4 に導かれ、データ線 $L_1,$

10

L_2, L_3, L_4 を駆動する。

【0052】本実施例によれば、係数加算回路5と水平ドライバHDとの間に、もう一つプリサンプリング回路51を追加することにより、プリシュート、ポストシュートの両方の補正効果を画面上に発生させることができ、さらに、データ出力用のアナログスイッチ S_1, \dots, S_m の実効的なオン期間 T_{\max} を最大4画素分までとることができる。

【0053】次に、図11は本発明の第3の実施例としてのデータ側駆動回路を示す回路図である。図11において、52はプリサンプリング回路であり、アナログスイッチA～Dとホールド容量 $C_a \sim C_d$ とバッファアンプ1A～1Dから成る4個のサンプルホールド回路3A～3Dと、アナログスイッチA～Dを制御する4相クロック発生回路2と、を有するほか、加算器21～24と、係数器25～28と、を有している。

【0054】本実施例においても、図9に示した実施例と同様、プリシュート、ポストシュートの両方の補正効果を画面上に発生させることができ、さらに、データ出力用のアナログスイッチ S_1, \dots, S_m の実効的なオン期間 T_{\max} を最大4画素分に延長することができる。

【0055】本実施例が、図9に示した実施例と異なる点は、係数加算回路5と水平ドライバHDとの間にもう一つプリサンプリング回路51を追加する代わりに、係数加算回路5の前段にあるサンプリング回路50の構成に、さらに加算器21～24と係数器25～28を設けて、サンプリング回路52とした点である。なお、係数加算回路5には、図7に示した係数加算回路5を用いている。

【0056】プリサンプリング回路52内の係数器25～28は、それぞれ、前段のサンプルホールド回路内のアナログスイッチA～Dによりサンプリングした信号を、係数倍して出力する。また、加算器21～24は、それぞれ、入力端子1からのビデオ信号と係数器25～28からの係数倍した信号とを加算する。その加算器21～24からの加算出力信号は、サンプルホールド回路3A～3D内のアナログスイッチA～Dに入力され、サンプリングされる。

【0057】この構成によれば、図9に示した実施例のように、係数加算回路5と水平ドライバHDとの間にもう一つプリサンプリング回路を設けることなく、プリシュート、ポストシュートの両方の補正効果を画面上に発生させることができ、さらに、データ出力用のアナログスイッチ S_1, \dots, S_m の実効的なオン期間 T_{\max} を最大4画素分までとることができる。

【0058】最後に、図12は本発明の第4の実施例としてのデータ側駆動回路を示す回路図である。本実施例は、図9に示したデータ側駆動回路をアナログ処理からデジタル処理に置き換えた場合の実施例である。即ち、図12において、4相クロック発生回路2とラッチ

(7)

11

回路52がプリサンプリング回路50に、4相クロック発生回路20とラッチ回路55がプリサンプリング回路51に、それぞれ相当する。

【0059】図12に示すように、A/D変換器30によってデジタル化されたビデオ信号は、4相クロック発生回路2で制御されたラッチ回路53により直並列変換された後、デジタル的に係数加算を行なう係数加算回路54に供給される。アパーチャ補正された出力信号5A、5B、5C、5Dは、4相クロック発生回路20で制御されたラッチ回路55によりホールドされ、それ

ぞれの出力信号はD/A変換器31～34によりアナログのビデオ信号に変換され、水平ドライバHDに入力される。

【0060】このように、ビデオ信号をデジタル的に処理する場合においても、回路動作及びその輪郭補正効果は、図9に示した実施例とほぼ同様なものとして行うことができる。

【0061】以上の各実施例では、プリサンプリング回路にサンプルホールド回路を4個用いた場合について説明したが、サンプルホールド回路の個数が4個以外の場合でも、3個以上あれば、同様な効果が得られるのは明らかである。

【0062】また、主に水平ドライバの駆動周波数の低減とフリッカ防止を目的とした極性反転ビデオ信号、データ線の上下くし形引出し等を用いたプリサンプリング回路を用いたデータ側駆動回路にも、係数加算回路を設けることにより、同様に、アパーチャ補正機能を付加することができる。

【0063】

【発明の効果】以上説明したように、本発明によれば、ビデオ信号を直並列変換して得られるサンプリング出力信号を係数加算回路の入力信号として用いることにより、水平ドライバの駆動周波数を低減する機能及びアパーチャ補償機能を実現することができる。しかも、アパーチャ補償回路を別個に設ける必要はないので、回路規模が大きくなることはない。また、係数加算回路の構成とその入力信号の組合せにより、データ出力用のアナログスイッチの実効的なオン期間を可変することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例としてのデータ側駆動回

12

路を示す回路図である。

【図2】図1におけるアクティブマトリクス型液晶表示装置10の一画素部分の等価回路を示す回路図である。

【図3】図1における係数加算回路5の一具体例を示すブロック図である。

【図4】図3の係数加算回路5を用いた場合における図1の要部信号の波形を示す波形図である。

【図5】図1における係数加算回路5の他の具体例を示すブロック図である。

【図6】図5の係数加算回路5を用いた場合における図1の要部信号の波形を示す波形図である。

【図7】図1における係数加算回路5の別の具体例を示すブロック図である。

【図8】図7の係数加算回路5を用いた場合における図1の要部信号の波形を示す波形図である。

【図9】本発明の第2の実施例としてのデータ側駆動回路を示す回路図である。

【図10】図9の要部信号の波形を示す波形図である。

【図11】本発明の第3の実施例としてのデータ側駆動回路を示す回路図である。

【図12】本発明の第4の実施例としてのデータ側駆動回路を示す回路図である。

【図13】従来のデータ側駆動回路を示す回路図である。

【図14】図13の要部信号の波形を示す波形図である。

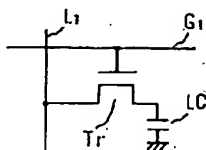
【図15】従来のアパーチャ補償回路を示すブロック図である。

【図16】図15の要部信号の波形を示す波形図である。

【符号の説明】

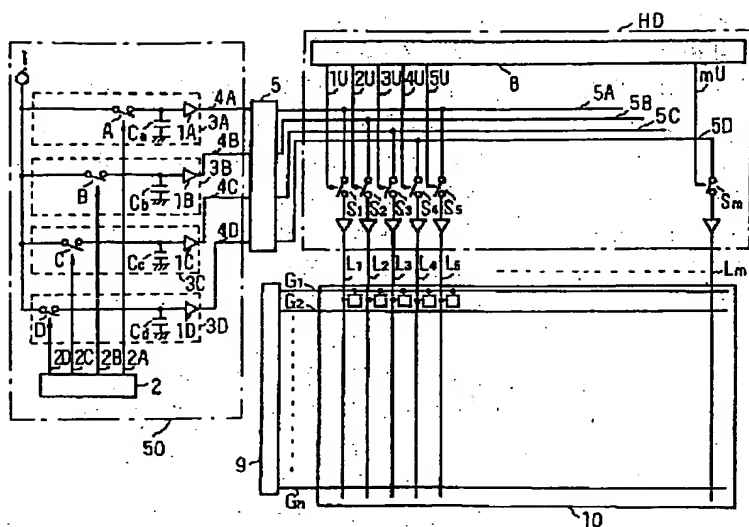
1…入力端子、2、20…4相クロック発生回路、3A～3D、6A～6D…サンプルホールド回路、Ca～Ch…ホールド容量、5、54…係数加算回路、8…シフトレジスタ、10…アクティブマトリクス形液晶表示装置、12、18、25～28…係数器、11、17、19、21～24…加算器、A～H、S₁、…、S_m…アナログスイッチ、HD…水平ドライバ、30…A/D変換器、31～34…D/A変換器、50～52…プリサンプリング回路、53、55…ラッチ回路。

【図2】

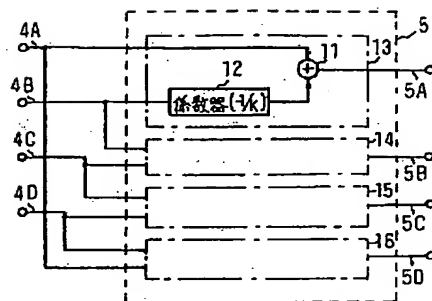


(8)

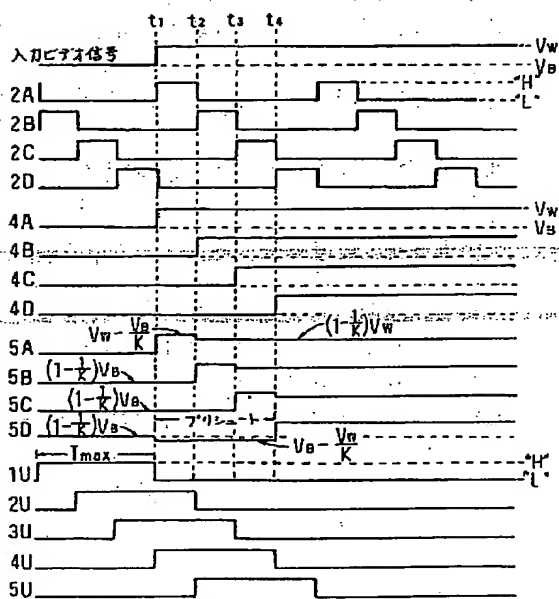
【図1】



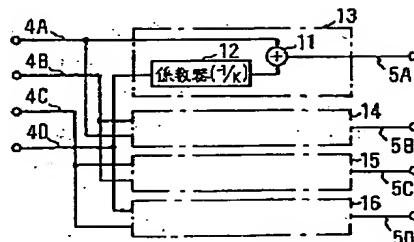
【図3】



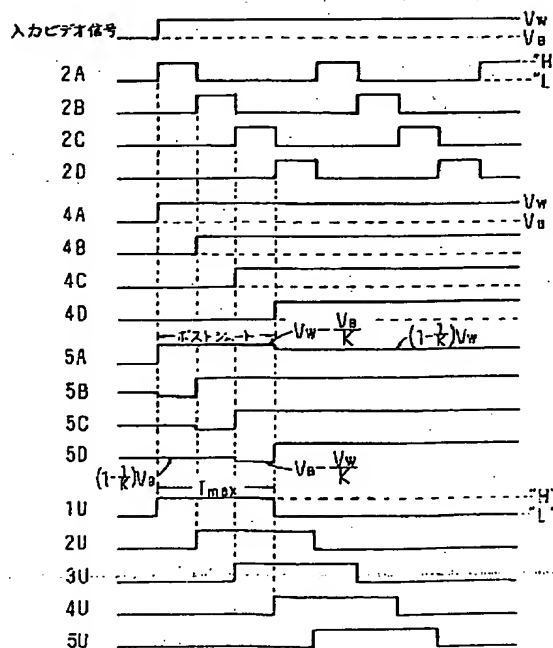
【図4】



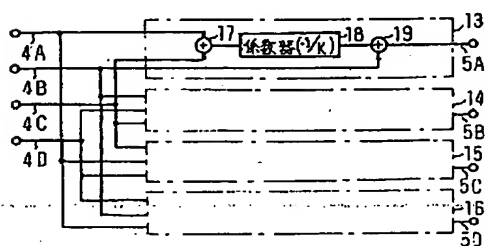
【図5】



【図6】

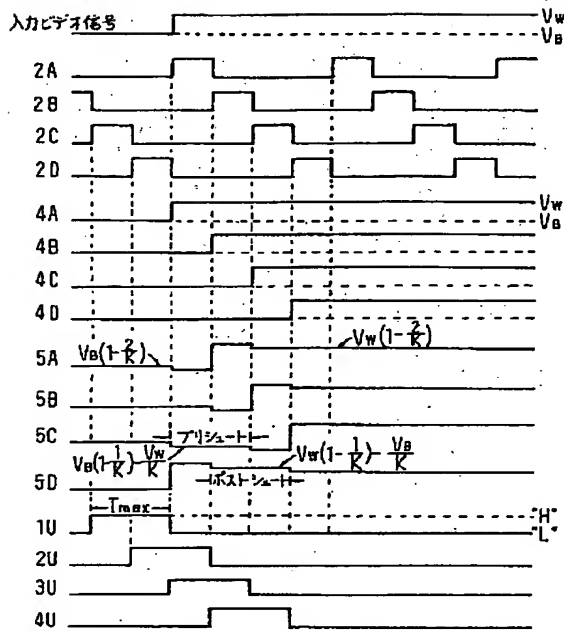


【図7】

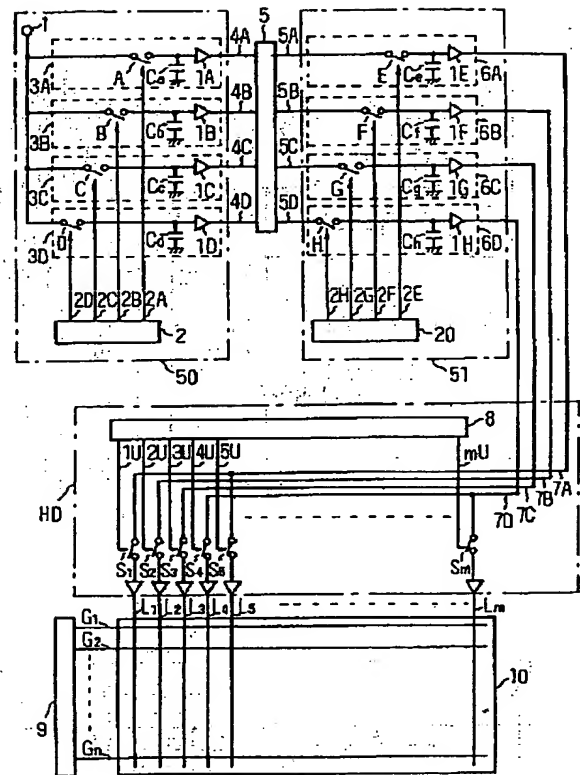


(9)

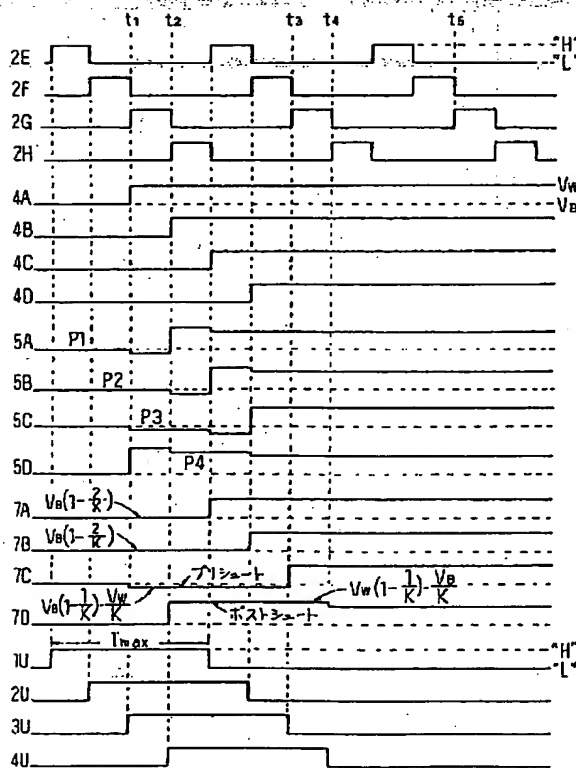
【図8】



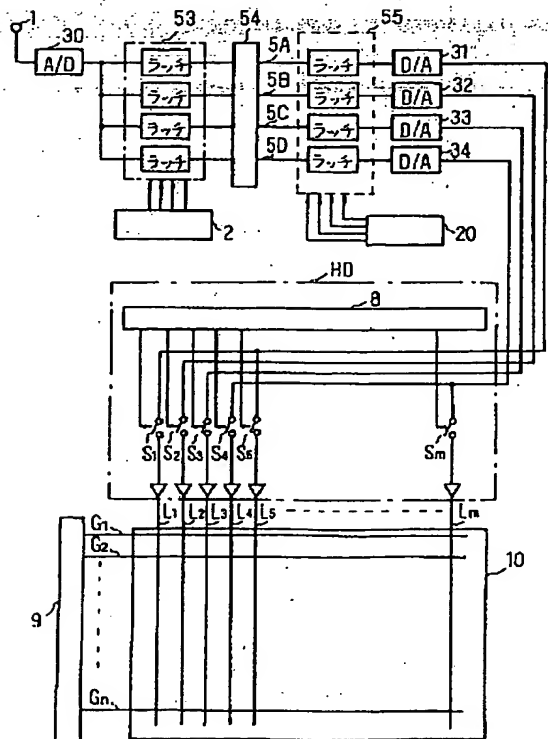
【図9】



【図10】

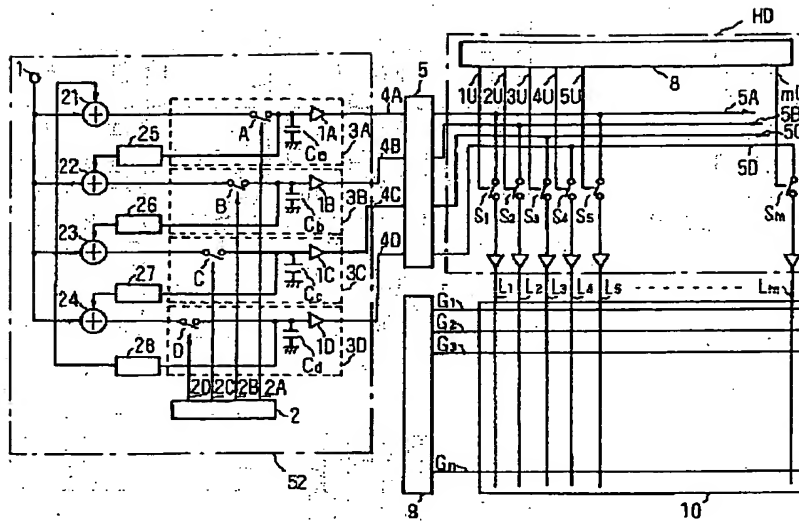


【図12】

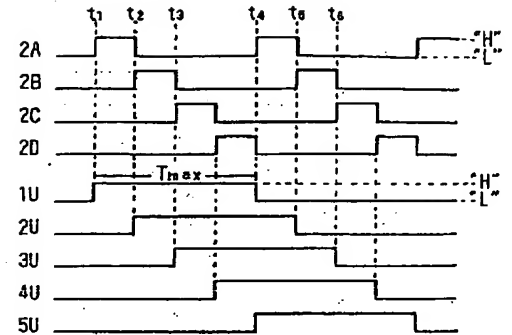


(10)

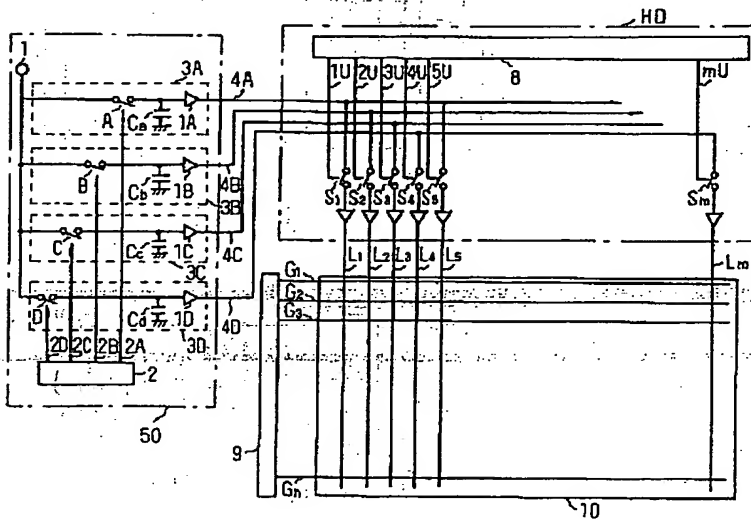
【図11】



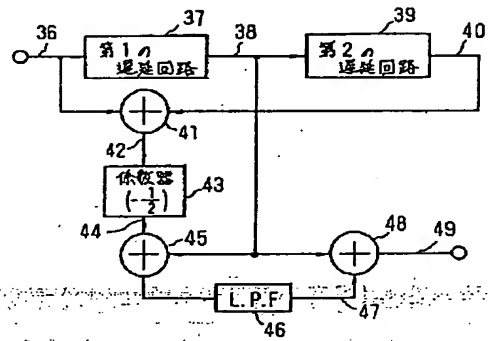
【図14】



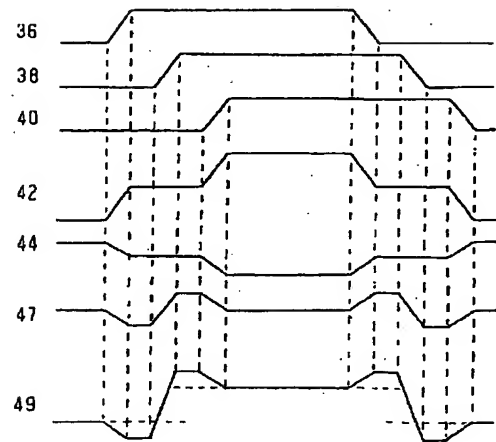
【図13】



【図15】



【図16】



(11)

フロントページの続き

(72)発明者 工藤 俊彦

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所映像メディア研究所内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-219461

(43)Date of publication of application : 27.08.1993

(51)Int.Cl.

H04N 5/66

G09G 3/20

G09G 3/36

(21)Application number : 04-047669

(71)Applicant : HITACHI LTD

HITACHI GAZOU JOHO SYST:KK

(22)Date of filing : 04.02.1992

(72)Inventor : FUKIAGE KENICHI

KABUTO NOBUAKI

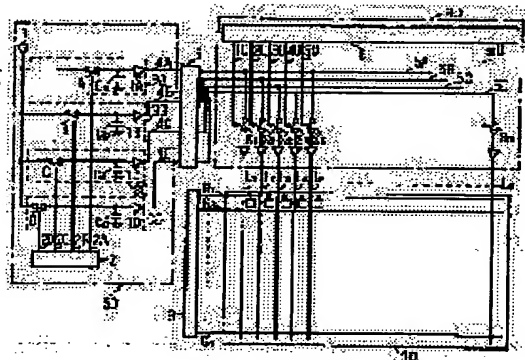
KUDO TOSHIHIKO

(54) DATA SIDE DRIVE CIRCUIT

(57)Abstract:

PURPOSE: To provide the data side drive circuit having a function of reducing a drive frequency of a horizontal driver and an aperture compensation function without increasing the circuit scale.

CONSTITUTION: A pre-sampling circuit 50 samples a video signal from an input terminal 1 by turning on analog switches A-D in sample-and-hold circuits 3A-3D when clocks 2A-2D are at an 'H' level and hold the sampled signals to hold capacitors Ca-Cd and output the result as sampling output signals 4A-4D. A coefficient adder circuit 5 is divided into 4-system arithmetic operation processing circuits and they receive two sampling output signals adjacent to each other timewise, multiply a prescribed coefficient and add the signals and the result is outputted to a horizontal driver HD as output signals 5A-5D.



LEGAL STATUS

[Date of request for examination] 13.10.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3104923

[Date of registration] 01.09.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The Puri sampling circuit which carried out the sequential sampling of the inputted video signal, respectively, and was equipped with two or more outputted predetermined sample hold circuits which carry out a period hold, The output signal outputted from each sample hold circuit in this PURISAN pulling circuit is inputted at least two or more, respectively. The multiplier adder circuit equipped with two or more data-processing circuits which add and output signals while carrying out the multiplication of the predetermined multiplier, Sequential supply of the output signal outputted from each data-processing circuit in this multiplier adder circuit is carried out at each data line of a matrix form indicating equipment. the level driver which drives each data line, and the data side actuation circuit characterized by the ability to perform aperture compensation while being come out and constituted and being able to reduce the drive frequency of said level driver.

[Claim 2] The 1st Puri sampling circuit which carried out the sequential sampling of the inputted video signal, respectively, and was equipped with two or more outputted predetermined sample hold circuits which carry out a period hold, The output signal outputted from each sample hold circuit in the 1st Puri sampling circuit is inputted at least two or more, respectively. this -- The multiplier adder circuit equipped with two or more data-processing circuits which add and output signals while carrying out the multiplication of the predetermined multiplier, The sequential sampling of the output signal outputted from each data-processing circuit in this multiplier adder circuit is carried out, respectively. The 2nd Puri sampling circuit equipped with two or more outputted predetermined sample hold circuits which carry out a period hold, Sequential supply of the output signal outputted from each sample hold circuit in the 2nd Puri sampling circuit is carried out at each data line of a matrix form indicating equipment. this -- the level driver which drives each data line, and the data side actuation circuit

characterized by the ability to perform aperture compensation while being come out and constituted and being able to reduce the drive frequency of said level driver.

[Claim 3] Input a video signal, respectively and the 1st output signal is inputted at least one or more, respectively. Two or more data-processing circuits which add and output signals while carrying out the multiplication of the predetermined multiplier, And while carrying out the sequential sampling of the output signal which corresponded to one to one with each data-processing circuit, respectively, and was outputted from the corresponding data-processing circuit, respectively and outputting as said 1st output signal The Puri sampling circuit equipped with two or more predetermined sample hold circuits which carry out a period hold and which are outputted as the 2nd output signal, At least two or more of said 2nd output signals outputted from each sample hold circuit in this PURISAN pulling circuit are inputted, respectively. The multiplier adder circuit equipped with two or more data-processing circuits which add and output signals while carrying out the multiplication of the predetermined multiplier, Sequential supply of the output signal outputted from each data-processing circuit in this multiplier adder circuit is carried out at each data line of a matrix form indicating equipment. the level driver which drives each data line, and the data side actuation circuit characterized by the ability to perform aperture compensation while being come out and constituted and being able to reduce the drive frequency of said level driver.

[Claim 4] The analog / digital converter which changes and outputs the inputted video signal of an analog to a digital video signal, The 1st latch circuit equipped with two or more latch means to carry out a sequential latch, respectively and to output the video signal outputted from this analog / digital transducer, The multiplier adder circuit equipped with two or more data-processing circuits which add and output signals while inputting the output signal outputted from each latch means in this 1st latch circuit at least two or more, respectively and carrying out the multiplication of the predetermined multiplier, The 2nd latch circuit equipped with two or more latch means to carry out a sequential latch, respectively and to output the outputted output signal from each data-processing circuit in this multiplier adder circuit, Two or more digital to analog converters which change and output the digital signal outputted from each latch means in this 2nd latch circuit to the signal of an analog, respectively, while carrying out sequential supply of the output signal outputted from each digital to analog converter at each data line of a matrix form indicating equipment, coming out with the level driver which drives each data line, being constituted and being able to reduce the drive frequency of said level driver The data side actuation circuit characterized by the ability to perform aperture compensation.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the data side actuation circuit which has the function to reduce the drive frequency of a level driver especially, and an aperture compensation function about the data side actuation circuit which gives a video signal to the data line of a matrix form indicating equipment.

[0002]

[Description of the Prior Art] As a conventional data side actuation circuit, there were some which reduce the drive frequency of a level driver by performing serial/parallel-conversion processing to the video signal inputted, and leading to a level driver by the circuit called the Puri sampling circuit which consisted of two or more sample hold circuits, for example as indicated by JP,59-29295,A. Hereafter, the configuration and actuation of this data side actuation circuit are explained using drawing 13 and drawing 14.

[0003] Drawing 13 is the circuit diagram showing the conventional data side actuation circuit, and drawing 14 is the wave form chart showing the wave of the important section signal of drawing 13. In drawing 13, the active-matrix form liquid crystal display which is a active-matrix form indicating equipment is used as a matrix form indicating equipment.

[0004] In drawing 13, 10 is a active-matrix form liquid crystal display, and has the gate lines G1, ..., Gn and the data lines L1, ..., Lm (single-sided cash drawer). Moreover, 9 is a gate side actuation circuit; moreover, 50 is the Puri sampling circuit which performs serial/parallel-conversion processing, comes out with analog switch A-D, hold capacity calcium-Cd, four sample hold circuit 3A - 3D that consist of the buffer amplifier 1A-1D, and 4 phase clock generation circuit 2 which controls analog switch A-D, and is constituted. moreover, HD is a level driver, comes out with analog switches S1, ..., Sm and the shift register 8 which controls closing motion of analog switches S1, ..., Sm, and is constituted. In addition, the data side actuation circuit consists of a Puri sampling circuit 50 and a level driver HD.

[0005] In drawing 14, 2A - 2D show the clock from 4 phase clock generation circuit 2, respectively, and 1U-5U show the sequential selection pulse from a shift register 8, respectively, when these signals are "H", an analog switch turns them on, and when it is "L", they become OFF.

[0006] The video signal of an analog inputted from the input terminal 1 is outputted as

sampling output signal 4A through buffer amplifier 1A, after it is sampled and being held by the hold capacity calcium, when the analog switch A in sample hold circuit 3A turns on from the time of day t1 shown in drawing 14 at the period of "H" of clock 2A of t2. And when an analog switch S1 turns on from the time of day t1 shown in drawing 14 only at the period of "H" of sequential selection pulse 1U of t4, the sampling output signal 4A is supplied to the data line L1, and drives the data line L1. Then, sequential selection pulse 1U is set to "L" in time of day t4, and an analog switch S1 becomes off and ends actuation of the data line L1.

[0007] namely, the video signal by which close came to the period of t2 from time of day t1 by using the Puri sampling circuit 50 -- the period (namely, period for 4 pixels) of time of day t1 to t4, and since it can hold -- "on" period Tmax of an analog switch S1 -- the period for 4 pixels -- it can take. Therefore, since long "on" period Tmax of an analog switch S1 can be taken 4 times compared with the case where the Puri sampling circuit 50 is not used, the drive frequency of the level driver HD can be reduced to a quadrant. By the repeat of the above actuation, all the data lines L1, --, Lm are driven.

[0008] By the way, on the other hand as a conventional aperture compensator, there is the following. Hereafter, it explains using drawing 15 and drawing 16. Drawing 15 is the block diagram showing the conventional aperture compensator, and drawing 16 is the wave form chart showing the wave of the important section signal of drawing 15.

[0009] In drawing 15, the video signal 36 inputted from the input terminal is inputted into the 1st signal delay circuit 37, and the delay output signal 38 is supplied to the 2nd signal delay circuit 39. The delay output signal 40 of the 2nd delay circuit 39 is added with the inputted video signal 36 by the adder 41, and a signal 42 is acquired. A signal 42 has the amplitude reduced by half by the coefficient multiplier 43, the output 44 of a coefficient multiplier 43 is added with the delay output signal 38 of the 1st delay circuit 37 by the adder 45, high frequency components, such as a noise, are removed by the low pass filter 46 after that, and the profile component signal 47 is acquired. The profile component signal 47 is added with the delay output signal 38 of the 1st delay circuit 37 by the adder 48, and the video signal 49 accompanied by a profile component is acquired. Such an aperture compensator is described in JP,2-182083,A.

[0010]

[Problem(s) to be Solved by the Invention] By the way, the aperture compensator described above in order to add an aperture compensation function had to be separately prepared in the conventional (that is, the Puri sampling circuit was provided) data side actuation circuit with the function to reduce the drive frequency of a level driver, and there was a problem that circuit magnitude became large. Then, the object of this

invention is to offer a data side actuation circuit with the function to reduce the drive frequency of a level driver, and an aperture compensation function, without enlarging circuit magnitude.

[0011]

[Means for Solving the Problem] In order to attain the above-mentioned object, in this invention The Puri sampling circuit which carried out the sequential sampling of the inputted video signal, respectively, and was equipped with two or more outputted predetermined sample hold circuits which carry out a period hold, The output signal outputted from each sample hold circuit in this PURISAN pulling circuit is inputted at least two or more, respectively. The multiplier adder circuit equipped with two or more data-processing circuits which add and output signals while carrying out the multiplication of the predetermined multiplier, sequential supply of the output signal outputted from each data-processing circuit in this multiplier adder circuit is carried out at each data line of a matrix form indicating equipment, it comes out with the level driver which drives each data line, and the data side actuation circuit was constituted.

[0012]

[Function] According to the above-mentioned configuration, multiplier addition of the output signal from two or more sample hold circuits with a predetermined time amount gap (1 pixel) can be carried out by the multiplier adder circuit, the signal by which aperture compensation was carried out can be formed, and the data side actuation circuit which has an aperture compensation function can be realized by giving a level driver.

[0013]

[Example] Hereafter, this invention is explained to a detail based on an example. In addition, in each following example, it explains as a wave of the video signal inputted taking the case of the case where the so-called window pattern signal is used. Drawing 1 is the circuit diagram showing the data side actuation circuit as the 1st example of this invention.

[0014] In drawing 1, 10 is a active-matrix form liquid crystal display, and has the gate lines G1, --, Gn and the data lines L1, --, Lm (single-sided cash drawer). Moreover, 9 is a gate side actuation circuit. moreover, 50 is the Puri sampling circuit which performs serial/parallel-conversion processing, comes out with analog switch A-D, hold capacity calcium-Cd, four sample hold circuit 3A - 3D that consist of the buffer amplifier 1A-1D, and 4 phase clock generation circuit 2 which controls analog switch A-D, and is constituted. Moreover, 5 is a multiplier adder circuit. moreover, HD is a level driver, comes out with analog switches S1, --, Sm and the shift register 8 which controls closing

motion of analog switches S1, ..., Sm, and is constituted. In addition, the data side actuation circuit consists of a Puri sampling circuit 50, a multiplier adder circuit 5, and a level driver HD.

[0015] Drawing 2 is the circuit diagram showing the equal circuit of the 1-pixel part of the active matrix liquid crystal display 10 in drawing 1. For LC, in drawing 2, liquid crystal and Tr of an MOS transistor and G1 are [a gate line and L1] the data lines.

[0016] Moreover, drawing 3 is the block diagram showing one example of the multiplier adder circuit 5 in drawing 1. In drawing 3, 13, 14, 15, and 16 are data-processing circuits, and consist of an adder 11 and a coefficient multiplier 12, respectively. The multiplier adder circuit 5 shown in drawing 3 is a circuit which realizes the amendment effectiveness of a profile component (the so-called PURISHUTO) of emphasizing just before change of an image changing signal.

[0017] Drawing 4 is the wave form chart showing the wave of the important section signal of drawing 1 at the time of using the multiplier adder circuit 5 of drawing 3. Next, actuation of this example is explained.

[0018] In drawing 4, 2A - 2D show the clock from 4 phase clock generation circuit 2, respectively, when these clocks are "H", analog switch A-D serves as ON, and OFF comes at the time of "L."

[0019] When the analog switch A in sample hold circuit 3A turns on from the time of day t1 shown in drawing 4 at the period of "H" of clock 2A of t2, after the video signal inputted from the input terminal 1 is sampled and is held by the hold capacity calcium, it is outputted to the multiplier adder circuit 5 as sampling output signal 4A through buffer amplifier 1A. Similarly, when the analog switches B, C, and D in sample hold circuit 3B, 3C, and 3D turn on, after it is sampled and being held by the hold capacity Cb, Cc, and Cd at the period of clock 2B, 2C, and "H" of 2D, it is outputted to the multiplier adder circuit 5 as sampling output signals 4B, 4C, and 4D through the buffer amplifier 1B, 1C, and 1D.

[0020] On the other hand, as shown in drawing 3, the multiplier adder circuit 5 is divided into four data-processing circuits 13, 14, 15, and 16, and is considering two sampling output signals which adjoin mutually in time, respectively as the input. That is, each input signal serves as combination of (4A, 4B), (4B, 4C), (4C, 4D), and (4D, 4A).

[0021] Here, if the data-processing circuit 13 in the multiplier adder circuit 5 is taken for an example, after supplying sampling output signal 4B to a coefficient multiplier 12 ($\sim 1/K$), it will be added with sampling output signal 4A by the adder 11, and will obtain output signal 5A. Similarly, in the data-processing circuits 14, 15, and 16, output signals 5B, 5C, and 5D are acquired,

respectively.

[0022] Then, when an analog switch S1 turns on only at the period of "H" of sequential selection pulse 1U from a shift register 8, output-signal 5A formed of the data-processing circuit 13 in the multiplier adder circuit 5 is supplied to the data line L1, and drives the data line L1.

[0023] Similarly, when analog switches S2 and S3 and S4 turn on only at the period of "H" of the sequential selection pulses 2U, 3U, and 4U from a shift register 8, the output signals 5B, 5C, and 5D formed of the data-processing circuits 14, 15, and 16 are also supplied to the data lines L2, L3, and L4, and drive the data lines L2, L3, and L4.

[0024] the repeat of the actuation shown above -- output-signal 5A -- the data lines L1, L5, and L9 and -- output-signal 5C is supplied to the data lines L3, L7, and L11 and --, output-signal 5D is supplied to the data lines L4, L8, L12, --, Lm at the data line L2, L6, L10, and --, respectively, and output-signal 5B drives each data line.

[0025] Here, if its attention is paid to output signal 5D, an electrical potential difference will fall during the period of t4 from time of day t1, and the voltage waveform of PURISHUTO which emphasizes just before change of an image changing signal will arise. However, from the conventional period for 4 pixels, since only the period for 3 pixels is held as this PURISHUTO is shown in drawing 4, "on" period Tmax of analog switches S1, --, Sm will be shortened at the period for 3 pixels, as shown in drawing 4, as shown in drawing 14.

[0026] As mentioned above, when the multiplier adder circuit 5 shown in drawing 3 is used according to this example, the amendment effectiveness of only PURISHUTO shown in output-signal-5D can be generated on the screen of the active matrix liquid crystal display 10 by using effectively the sample output signals 4A-4D from four sample hold circuit 3A - 3D.

[0027] Moreover, drawing 5 is the block diagram showing other examples of the multiplier adder circuit 5 in drawing 1. The multiplier adder circuit 5 shown in drawing 5 is a circuit which realizes the amendment effectiveness of a profile component (the so-called postchute) of emphasizing immediately after change of an image changing signal.

[0028] Drawing 6 is the wave form chart showing the wave of the important section signal of drawing 1 at the time of using the multiplier adder circuit 5 of drawing 5. Next, actuation is explained.

[0029] In the multiplier adder circuit 5 of drawing 5, a different point from the configuration of drawing 3 is a point which is considering as the input two sampling output signals in which four data-processing circuits 13, 14, 15, and 16 in the multiplier

adder circuit 5 had the phase contrast for 3 pixels mutually, respectively. That is, each input signal serves as combination of (4A, 4D), (4B, 4A), (4C, 4B), and (4D, 4C).

[0030] Here, if the data-processing circuit 13 in the multiplier adder circuit 5 is taken for an example, after supplying sampling output signal 4D to a coefficient multiplier 12 and doubling it with a coefficient multiplier 12 ($\cdot 1/K$), it will be added with sampling output signal 4A by the adder 11, and will obtain output signal 5A. Similarly, in the data-processing circuits 14, 15, and 16, output signals 5B, 5C, and 5D are acquired, respectively.

[0031] Then, the output signals 5A, 5B, 5C, and 5D formed of the data-processing circuits 13, 14, 15, and 16 in the multiplier adder circuit 5. When an analog switch S1 turns on only at the period of "H" of the sequential selection pulses 1U, 2U, 3U, and 4U from a shift register 8, the data lines L1, L2, L3, and L4 are supplied, and the data lines L1, L2, L3, and L4 are driven.

[0032] the repeat of the actuation shown above -- output-signal 5A -- the data lines L1, L5, and L9 and -- output-signal 5C is supplied to the data lines L3, L7, and L11 and --, output-signal 5D is supplied to the data lines L4, L8, L12, --, Lm at the data line L2, L6, L10, and --, respectively, and output-signal 5B drives each data line.

[0033] Here, if its attention is paid to output signal 5A, an electrical potential difference will go up during a specific period, and the voltage waveform of a postchute which emphasizes immediately after change of an image changing signal will arise. However, since only the period for 3 pixels is held as this postchute is shown in drawing 6, "on" period T_{max} of analog switches S1, --, S_m will be similarly shortened from the conventional period for 4 pixels with having been shown in drawing 4 at the period for 3 pixels.

[0034] As mentioned above, when the multiplier adder circuit 5 shown in drawing 5 is used according to this example, the amendment effectiveness of only the postchute shown in output signal 5A can be generated on the screen of the active matrix liquid crystal display 10 by using effectively the sample output signals 4A-4D from four sample hold circuit 3A - 3D.

[0035] Therefore, according to this example, by using the multiplier adder circuit 5 shown in drawing 3 or drawing 5 R> 5, one amendment effectiveness of PURISHUTO and a postchute can be generated and effectual "on" period T_{max} of the analog switches S1, --, S_m further for data output can be taken till the period for a maximum of 3 pixels.

[0036] Moreover, drawing 7 is the block diagram showing another example of the multiplier adder circuit 5 in drawing 1. The multiplier adder circuit 5 shown in drawing 7 is a circuit which realizes the amendment effectiveness of a profile component

(PURISHUTO and postchute) of emphasizing the change order of an image changing signal. As for 17 and 19, in drawing 7, an adder and 18 are coefficient multipliers.

[0037] Drawing 8 is the wave form chart showing the wave of the important section signal of drawing 1 at the time of using the multiplier adder circuit 5 of drawing 7. Next, actuation is explained.

[0038] In the multiplier adder circuit 5 of drawing 7, a different point from the configuration of drawing 3 is a point that four data-processing circuits 13, 14, 15, and 16 in the multiplier adder circuit 5 are considering three sampling output signals as the input, respectively. That is, each input signal serves as combination of (4A, 4B, 4C), (4B, 4C, 4D), (4C, 4D, 4A), and (4D, 4A, 4B).

[0039] Here, if the data-processing circuit 13 in the multiplier adder circuit 5 is taken for an example, the sampling output signals 4A and 4C are added by the adder 17, after they double the output signal of this adder 17 with a coefficient multiplier 18 ($\sim 1/K$), will be added with sampling output signal 4B by the adder 19, and will obtain output signal 5A. Similarly, in the data-processing circuits 14, 15, and 16, output signals 5B, 5C, and 5D are acquired, respectively.

[0040] Then, the output signals 5A, 5B, 5C, and 5D formed of the data-processing circuits 13, 14, 15, and 16 in the multiplier adder circuit 5. When an analog switch S1 turns on only at the period of "H" of the sequential selection pulses 1U, 2U, 3U, and 4U from a shift register 8, the data lines L1, L2, L3, and L4 are supplied, and the data lines L1, L2, L3, and L4 are driven.

[0041] the repeat of the actuation shown above -- output-signal 5A -- the data lines L1, L5, and L9 and -- output-signal 5C is supplied to the data lines L3, L7, and L11 and --, output-signal 5D is supplied to the data lines L4, L8, L12, --, Lm at the data line L2, L6, L10, and --, respectively, and output-signal 5B drives each data line.

[0042] Here, if its attention is paid to output signal 5C, an electrical potential difference will fall during a specific period, and the voltage waveform of PURISHUTO which emphasizes just before change of an image changing signal will arise. Moreover, if its attention is paid to output signal 5D, an electrical potential difference will go up during a specific period, and the voltage waveform of a postchute which emphasizes immediately after change of an image changing signal will arise. However, since only the period for 2 pixels is held as this PURISHUTO and a postchute are shown in drawing 8, "on" period Tmax of analog switches S1, --, Sm will be shortened from the conventional period for 4 pixels at the period for 2 pixels.

[0043] As mentioned above, when the multiplier adder circuit 5 shown in drawing 7 is used according to this example, the amendment effectiveness of PURISHUTO and a

postchute shown in output signals 5C and 5D can be generated on the screen of the active matrix liquid crystal display 10 by using effectively the sample output signals 4A-4D from four sample hold circuit 3A - 3D.

[0044] Therefore, according to this example, by using the multiplier adder circuit 5 shown in drawing 7, effectual "on" period T_{max} of the analog switches S1, --, Sm for data output becomes a maximum of 2 pixels, and it will be inferior to the example of drawing 3 or drawing 5, but If it sees from a viewpoint of aperture compensation, the amendment effectiveness of both PURISHUTO and a postchute can be generated on a screen, and if even the working speed of the level driver HD is secured, the image whose MERIHARI was further effective in image quality can be obtained.

[0045] Next, drawing 9 is the circuit diagram showing the data side actuation circuit as the 2nd example of this invention. In this example, the amendment effectiveness of both PURISHUTO and a postchute can be generated on a screen, and effectual "on" period T_{max} of the analog switches S1, --, Sm further for data output can be extended to a maximum of 4 pixels.

[0046] The point that this example differs from the example shown in drawing 1 is a point of having added the 1 more Puri sampling circuit 51 between the multiplier adder circuit 5 and the level driver HD. In addition, the multiplier adder circuit 5 shown in drawing 7 is used for the multiplier adder circuit 5.

[0047] in drawing 9, 51 is the Puri sampling circuit, comes out with analog switch E-H, hold capacity Ce-Ch, four sample hold circuits that consist of the buffer amplifier 1E-1H, and 4 phase clock generation circuit 20 which controls closing motion of analog switch E-H, and is constituted.

[0048] Drawing 10 is the wave form chart showing the wave of the important section signal of drawing 9. Next, actuation is explained. The timing of the output signals 4A-4D from the Puri sampling circuit 50 presupposes that it has become as [show / in drawing 10] to the timing of the clocks 2E-2H from 4 phase clock generation circuit 20. The wave of the output signals 5A-5D outputted from each data-processing circuits 13-16 in the multiplier adder circuit 5 is the same as that of drawing 8, as shown in drawing 10.

[0049] If its attention is paid to output signal 5C, when the analog switch G in sample hold circuit 6C turns on at the period of "H" of clock 2G of t_2 from the time of day t_1 shown in drawing 10 $R > 0$, here After the PURISHUTO component P3 is sampled and being held by the hold capacity Cg, it is outputted to the level driver HD through buffer amplifier 1G as sampling output signal 7C to which only the period of t_3 holds the level from time of day t_1 .

[0050] When the analog switches E, F, and H in sample hold circuits 6A and 6B and 6D turn on similarly about other output signals 5A, 5B, and 5D at the period of "H" of Clocks 2E, 2F, and 2H After each signal component P1, P2, and P4 is sampled and being held by the hold capacity Ce, Cf, and Ch, it is outputted to the level driver HD through the buffer amplifier 1E, 1F, and 1H as sampling output signals 7A, 7B, and 7D holding each level.

[0051] Then, each sampling output signals 7A-7D by which the level driver HD input was carried out When analog switches S1, S2, and S3 and S4 turn on only at the period of "H" of the sequential selection pulses 1U-4U from the shift register 8 which controls closing motion of analog switches S1, --, Sm It is led to the data lines L1, L2, L3, and L4, and the data lines L1, L2, L3, and L4 are driven.

[0052] Between the multiplier adder circuit 5 and the level driver HD, by adding the 1 more Puri sampling circuit 51, the amendment effectiveness of both PURISHUTO and a postchute can be generated on a screen, and, according to this example, effectual "on" period Tmax of the analog switches S1, --, Sm further for data output can be taken to a maximum of 4 pixels.

[0053] Next, drawing 11 is the circuit diagram showing the data side actuation circuit as the 3rd example of this invention. In drawing 11, 52 is the Puri sampling circuit, has analog switch A-D, hold capacity calcium-Cd, four sample hold circuit 3A - 3D that consist of the buffer amplifier 1A-1D, and 4 phase clock generation circuit 2 which controls analog switch A-D, and also it has adders 21-24 and coefficient multipliers 25-28.

[0054] Also in this example, like the example shown in drawing 9, the amendment effectiveness of both PURISHUTO and a postchute can be generated on a screen, and effectual "on" period Tmax of the analog switches S1, --, Sm further for data output can be extended to a maximum of 4 pixels.

[0055] The point that this example differs from the example shown in drawing 9 is a point which formed adders 21-24 and coefficient multipliers 25-28 in the configuration of the sampling circuit 50 in the preceding paragraph of the multiplier adder circuit 5 further, and was made into the sampling circuit 52 instead of adding the 1 more Puri sampling circuit 51 between the multiplier adder circuit 5 and the level driver HD. In addition, the multiplier adder circuit 5 shown in drawing 7 is used for the multiplier adder circuit 5.

[0056] the signal which sampled the coefficient multipliers 25-28 in the Puri sampling circuit 52 by analog switch A-D in the sample hold circuit of the preceding paragraph, respectively -- multiplier twice -- it outputs by carrying out. moreover, the adders 21-24

-- respectively -- the multiplier twice from the video signal and coefficient multipliers 25-28 from an input terminal 1 -- the signal carried out is added. The addition output signal from the adders 21-24 is inputted into analog switch A-D in sample hold circuit 3A - 3D, and is sampled.

[0057] According to this configuration, like the example shown in drawing 9 , without preparing a 1 more Puri sampling circuit between the multiplier adder circuit 5 and the level driver HD, the amendment effectiveness of both PURISHUTO and a postchute can be generated on a screen, and effectual "on" period Tmax of the analog switches S1, --, Sm further for data output can be taken to a maximum of 4 pixels.

[0058] Finally, drawing 12 is the circuit diagram showing the data side actuation circuit as the 4th example of this invention. This example is an example at the time of transposing the data side actuation circuit shown in drawing 9 to digital processing from analog processing. That is, in drawing 12 , 4 phase clock generation circuit 2 and a latch circuit 52 are equivalent to the Puri sampling circuit 50, and 4 phase clock generation circuit 20 and a latch circuit 55 are equivalent to the Puri sampling circuit 51, respectively.

[0059] As shown in drawing 12 , after serial/parallel conversion of the video signal digitized by A/D converter 30 is carried out by the latch circuit 53 controlled by 4 phase clock generation circuit 2, it is supplied to the multiplier adder circuit 54 which performs multiplier addition in digital one. The output signals 5A, 5B, 5C, and 5D by which aperture correction was carried out are held by the latch circuit 55 controlled by 4 phase clock generation circuit 20, and each output signal is changed into the video signal of an analog by D/A converters 31-34, and is inputted into the level driver HD.

[0060] Thus, when processing a video signal in digital one, circuit actuation and its profile amendment effectiveness can be made into the almost same thing as the example shown in drawing 9 .

[0061] Although each above example explained the case where four sample hold circuits were used for the Puri sampling circuit, if there are three or more pieces even when the number of a sample hold circuit is except four pieces, it is clear that the same effectiveness is acquired.

[0062] Moreover, an aperture correction function can be similarly added by mainly establishing a multiplier adder circuit also in the data side actuation circuit using the Puri sampling circuit using the vertical tandem type cash drawer of the polarity-reversals video signal aiming at reduction and flicker prevention of the drive frequency of a level driver, and the data line etc.

[0063]

[Effect of the Invention] As explained above, according to this invention, the function to reduce the drive frequency of a level driver, and an aperture compensation function are realizable by carrying out serial/parallel conversion of the video signal, being obtained, and using a **** sampling output signal as an input signal of a multiplier adder circuit. And since it is not necessary to prepare an aperture compensator separately, circuit magnitude does not become large. Moreover, it can carry out adjustable [of the effectual "on" period of the analog switch for data output] with the configuration and the combination of an input signal of a multiplier adder circuit.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the data side actuation circuit as the 1st example of this invention.

[Drawing 2] It is the circuit diagram showing the equal circuit of the 1-pixel part of the active matrix liquid crystal display 10 in drawing 1 .

[Drawing 3] It is the block diagram showing one example of the multiplier adder circuit 5 in drawing 1 .

[Drawing 4] It is the wave form chart showing the wave of the important section signal of drawing 1 R> 1 at the time of using the multiplier adder circuit 5 of drawing 3 .

[Drawing 5] It is the block diagram showing other examples of the multiplier adder circuit 5 in drawing 1 .

[Drawing 6] It is the wave form chart showing the wave of the important section signal of drawing 1 R> 1 at the time of using the multiplier adder circuit 5 of drawing 5 .

[Drawing 7] It is the block diagram showing another example of the multiplier adder circuit 5 in drawing 1 .

[Drawing 8] It is the wave form chart showing the wave of the important section signal of drawing 1 R> 1 at the time of using the multiplier adder circuit 5 of drawing 7 .

[Drawing 9] It is the circuit diagram showing the data side actuation circuit as the 2nd example of this invention.

[Drawing 10] It is the wave form chart showing the wave of the important section signal of drawing 9 .

[Drawing 11] It is the circuit diagram showing the data side actuation circuit as the 3rd example of this invention.

[Drawing 12] It is the circuit diagram showing the data side actuation circuit as the 4th example of this invention.

[Drawing 13] It is the circuit diagram showing the conventional data side actuation circuit.

[Drawing 14] It is the wave form chart showing the wave of the important section signal of drawing 13.

[Drawing 15] It is the block diagram showing the conventional aperture compensator.

[Drawing 16] It is the wave form chart showing the wave of the important section signal of drawing 15.

[Description of Notations]

1 -- 2 An input terminal, 20 -- 4 phase clock generation circuit, 3A - 3D, 6A-6D -- Sample hold circuit, calcium-Ch -- 5 Hold capacity, 54 -- A multiplier adder circuit, 8 -- Shift register, 10 -- A active-matrix form liquid crystal display, 12, 18, 25-28 -- Coefficient multiplier, 11, 17, 19, 21-24 [-- An A/D converter, 31-34 / -- A D/A converter, 50-52 / -- 53 The Puri sampling circuit, 55 / -- Latch circuit.] -- An adder, A-H, S1, --, Sm -- An analog switch, HD -- A level driver, 30

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.